

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07326850 A**

(43) Date of publication of application: **12.12.95**

(51) Int. Cl **H05K 3/28**
H01L 21/56
H01L 23/28

(21) Application number: **06118529**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **31.05.94**

(72) Inventor: **FUKUSONO KENJI
SUEHIRO MITSUO**

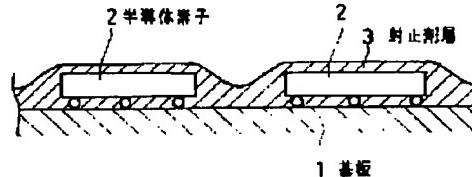
**(54) SEALING STRUCTURE AND SEALING METHOD
OF SEMICONDUCTOR ELEMENT**

(57) Abstract:

PURPOSE: To provide a semiconductor element sealing method with which the life of the junction part between a substrate and a semiconductor element mounted on the substrate can be prolonged.

CONSTITUTION: The thickness of the sealing compound on the circumference of a semiconductor element 2 is thinner than the other part of the layer 3 of the sealing compound integrally formed on the mounting surface of the semiconductor element 2 of a substrate 1.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326850

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 05 K 3/28	G			
H 01 L 21/56 23/28	E Z 8617-4M E 8617-4M			

審査請求 未請求 請求項の数6 O.L (全6頁)

(21) 出願番号 特願平6-118529

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 福岡 健治
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 末廣 光男
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 井島 藤治 (外1名)

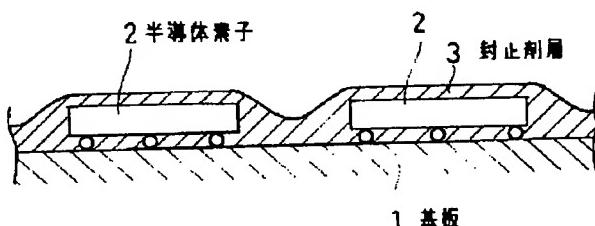
(54) 【発明の名称】 半導体素子の封止構造及び半導体素子の封止方法

(57) 【要約】

【目的】 基板上に実装された半導体素子の封止構造及び封止方法に関し、基板と半導体素子との接合部の寿命を延ばすことができる半導体素子封止構造及び半導体素子封止方法を提供することを目的とする。

【構成】 基板1の半導体素子2実装面に一体的に形成された封止剤の層3のうち、半導体素子2の周りの封止剤の層3の厚みを他の部分より薄くするように構成する。

本発明の半導体封止構造の原理図



【特許請求の範囲】

【請求項1】 基板(1)上に実装された複数個の半導体素子(2)を封止剤を用いて封止する半導体素子の封止構造において、

基板(1)の半導体素子(2)実装面全体に形成された封止剤の層(3)のうち、前記半導体素子(2)の周りの封止剤の層(3)の厚みを他の部分より薄くしたことを特徴とする半導体素子の封止構造。

【請求項2】 基板上に実装された複数個の半導体素子を封止剤を用いて封止する半導体素子の封止構造において、

前記半導体素子と前記基板との間に隙間を形成したことと特徴とする半導体素子の封止構造。

【請求項3】 基板上に実装された複数個の半導体素子を覆うように封止剤を用いて封止剤層を形成する工程と、

前記封止剤層を硬化させる工程と、

前記半導体素子の周りの封止剤層に溝を形成する工程と、からなることを特徴とする半導体素子の封止方法。

【請求項4】 前記半導体素子の周りの封止剤層に溝を形成する工程として、

ブレード、レーザのうちどちらか一方を用いたことを特徴とする請求項3記載の半導体素子の封止方法。

【請求項5】 基板上に実装された複数個の半導体素子を覆うように封止剤を用いて封止剤層を形成する工程と、

真空脱泡する工程と、

前記半導体素子が下になる状態で、前記封止剤層を硬化させる工程と、からなることを特徴とする半導体素子の封止方法。

【請求項6】 基板上に実装された素子にマスクをし、マスクをしていない部分に封止剤を用いて封止剤層を形成する工程と、

真空脱泡してマスクをしていない部分の余剰封止剤を除去する工程と、

封止剤を硬化させる工程と、

前記マスクを除去する工程と、からなることを特徴とする半導体素子の封止方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、基板上に実装された半導体素子の封止構造及び封止方法に関する。近年、基板の高密度実装化に関しては、薄膜多層基板(セラミック基板)や一般的ガラスエポキシ基板において、パッケージングされていない素子、所謂ペアチップの実装が要望されている。

【0002】

【従来の技術】 従来、ペアチップを基板に実装する方法として、以下のような手法が採られている。

【0003】 (1) 個々のペアチップを蓋で覆い、蓋と基

板とを接着剤や半田で接合する。

(2) ペアチップを実装し、基板の実装面上にデスペンサによりエポキシ系の封止剤を塗布する。この場合、ペアチップ下面迄封止剤が充填されない場合は、真空脱泡を行う。

【0004】

【発明が解決しようとする課題】 しかし、上記手法においては、次のような問題点がある。

(1) 蓋と基板とを接合している接着剤あるいは半田材の接合界面から水分が蓋の中に侵入(リーク)し、ペアチップの寿命を短くするという問題点がある。

【0005】 (2) 実装されたペアチップの高集積化に伴う発熱量に対応するため、熱伝導率が高く、ペアチップと熱膨張率が近いセラミック系の基板を用いた場合、封止剤自体の熱膨張係数がバンブ、ペアチップ、基板と比較して大きいので、温度変化時に両者の伸びの量が異なり、基板と封止剤はバイメタルのように反り、封止剤と基板との間に発生するせん断力により、ペアチップとバンブとの接合部の寿命が短くなるという問題点がある。

【0006】 これを防止するために、ペアチップ間にテフロン等の仕切板を設け、エポキシ系の封止剤を塗布し、硬化後この仕切板を取り除き、個々のペアチップ間に封止剤が存在しないようにする。このようにすることにより、個々のペアチップと基板との接合部に作用するせん断力が緩和され、接合部の寿命が短くなる問題点は解消される。

【0007】 しかし、仕切板を用いて封止剤層を分断すると、新たな問題点が発生する。図6に示すように、基板51上に形成された個々の半導体素子の封止剤層52は略一定な厚みtであるので、封止剤層52の端面Aにおける基板51との接合部Xは、中立軸から一番離れた位置にある。よって、基板51が反った場合、この接合部Xには大きな曲げ応力が発生し、封止剤層52は基板51より剥離しやすく、プレッシャークリッカーテスト等の高湿度のもとでは、封止剤層52の接合部Xより水分が入り込み、封止剤層52が膨張し、封止剤層52の基板51よりの界面剥離が発生し、接合部の寿命が短くなる問題点がある。

【0008】 尚、この界面より水分が入り込むという問題点を解決するためには、先ず、充填性のよい封止剤でペアチップ下面の封止を行い、更に、その上に耐湿性の高い封止剤をコートする方法がある。このようにすることにより、封止剤の界面より水分が入り込むことは少なくなる。しかし、手間がかかるうえに、大型素子を使用したい場合や、それらを使用してマルチルパッケージにした場合などは、封止剤の塗布面積が増えることにより、せん断力による接合部の破壊に関しては問題がある。

【0009】 又、熱膨張率の異なる2種類の封止剤を用いることにより、これら封止剤の熱伝導率が悪いと、窒

化アルミ基板等を使用した場合には、昇温時や降温時に、2つの封止剤間に発生する熱応力によりクラックが発生することもある。

【0010】本発明は、上記問題点に鑑みてなされたもので、その目的は、基板と半導体素子との接合部の寿命を延ばすことができる半導体素子封止構造及び半導体素子封止方法を提供することにある。

【0011】

【課題を解決するための手段】図1は本発明の半導体封止構造の原理図である。図において、1は基板、2は基板1上に実装された複数の半導体素子である。3は基板1の半導体素子実装面全体に形成された封止剤層である。この封止剤層3のうち、半導体素子2の周りの封止剤の層の厚みは、他の部分より薄く形成されている。

【0012】又、本発明の半導体封止構造は、基板上に実装された複数個の半導体素子を封止剤を用いて封止する半導体素子の封止構造において、前記半導体素子と前記基板との間に隙間を形成したものである。

【0013】次に、本発明の半導体封止方法は、基板上に実装された複数個の半導体素子を覆うように封止剤を用いて封止剤層を形成する工程と、前記封止剤層を硬化させる工程と、前記半導体素子の周りの封止剤層に溝を形成する工程とからなるものである。

【0014】尚、半導体素子の周りの封止剤層に溝を形成する工程として、ブレード、レーザのうちどちらか一方を用いることが好ましい。又、本発明の半導体封止構造は、基板上に実装された複数個の半導体素子を覆うように封止剤を用いて封止剤層を形成する工程と、真空脱泡する工程と、前記半導体素子が下になる状態で、前記封止剤層を硬化させる工程とからなるものである。

【0015】更に、本発明の半導体封止構造は、基板上に実装された素子にマスクをし、マスクをしていない部分に封止剤を用いて封止剤層を形成する工程と、真空脱泡してマスクをしていない部分の余剰封止剤を除去する工程と、封止剤を硬化させる工程と、前記マスクを除去する工程とからなるものである。

【0016】

【作用】図1に示す半導体素子の封止構造において、半導体素子2の周りの封止剤層3の厚みを他の部分より薄くしたことにより、薄くした部分は厚みが厚い他の部分に比べて伸びやすくなっている。封止剤層は温度上昇した場合、基板方向に引張力を受けるが、封止剤層が一様な厚さの場合と比較して、薄くした部分が多く伸びるので、半導体素子2と基板1との接合部分の封止剤層3の伸び量は、封止剤層が一様な厚さの場合に比べて少ない。よって、半導体素子2と基板1との接合部に作用するせん断力が減少する。

【0017】又、本発明の他の半導体封止構造においては、半導体素子と基板との間に隙間を形成したことにより、半導体素子と基板との接合部には、封止剤は存在し

ない。よって、基板と封止剤の熱膨張率の違いにより接合部に作用するせん断力はない。

【0018】次に、本発明の半導体素子の封止方法において、半導体素子の周りに溝を形成し、半導体素子の周りの封止剤の厚みを他の部分より薄くしたことにより、薄くした部分は厚みが厚い他の部分に比べて伸びやすくなっている。封止剤層は温度上昇した場合、基板方向に引張力を受けるが、封止剤層が一様な厚さの場合と比較して、薄くした部分が多く伸び、半導体素子と基板との接合部分の封止剤層の伸び量は、封止剤層が一様な厚さの場合に比べて少ない。よって、半導体素子と基板との接合部に作用するせん断力が減少する。

【0019】又、本発明の他の半導体封止方法においては、封止剤を用いて封止剤層を形成した後に、半導体素子が下になる状態で一定時間放置することにより、半導体素子と基板との間に隙間が形成され、基板と封止剤との熱膨張率の違いにより発生する半導体素子と基板との接合部に作用するせん断力はなくなる。

【0020】更に、本発明の他の半導体封止方法においては、真空脱泡によりマスクしていない部分の余剰封止剤を除去することにより、半導体素子の周りの封止剤が除去され、封止剤の厚みが他の部分より薄くなり、薄くした部分は厚みが厚い他の部分に比べて伸びやすくなっている。封止剤層は温度上昇した場合、基板方向に引張力を受けるが、封止剤層が一様な厚さの場合と比較して、薄くした部分が多く伸び、半導体素子と基板との接合部分の封止剤層の伸び量は、封止剤層が一様な厚さの場合に比べて少ない。よって、半導体素子と基板との接合部に作用するせん断力が減少する。

【0021】

【実施例】次に図面を用いて本発明の実施例を説明する。図2は本発明の第1の実施例を説明する断面構成図、図3は図2における平面構成図である。

【0022】図2(a)及び図3(a)において、11は基板、12は基板11上に還元雰囲気中又はフラックスを使用した大気雰囲気(不活性雰囲気)中のリフロー炉で接合される半導体素子(ペアチップ)である。13は基板11上の全ての半導体素子12を覆うように塗布され、硬化した封止剤層である。

【0023】次に、図2(b)及び図3(b)において、半導体素子12の周りの封止剤層13の厚みを他の部分より薄くするために、溝14を形成した。この溝14の形成方法としては、次のような手法がある。

【0024】(1) 図2(b)に示すように、隣接する半導体素子12間の幅より狭いブレード15を用い、スクライプする。

(2) CO₂レーザやエキシマレーザを用いて、溝14を形成する。

【0025】(3) 半導体素子12部分は開口が形成され、半導体素子12間には凹みが形成されたテフロンシ

ートを封止剤硬化前に配設し、硬化後このテフロンシートを除去する。

【0026】上記構成によれば、溝14を形成し、各半導体素子12の周りの封止剤層13の厚さを薄くしたことにより、溝14は厚みが厚い他の部分に比べて伸びやすくなっている。封止剤層13は温度上昇した場合、基板11方向に引張力を受けるが、封止剤層13が一様な厚さの場合と比較して、薄くした部分が多く伸び、半導体素子12と基板11との接合部分の封止剤層13の伸び量は、封止剤層が一様な厚さの場合に比べて少ない。よって、半導体素子12と基板11との接合部に作用するせん断力が減少し、接合部の寿命を延ばすことができる。

【0027】又、封止剤層13の周縁部は、厚さが薄くなっているので、基板11が反っても、封止剤層13の周縁部に作用する曲げ応力は小さくなり、封止剤層13は剥離しにくく、水分の侵入を防止することができる。

【0028】従来の基板と、本実施例の構成を適用した基板との比較を行った。20mm×20mmの大きさで、半田バンプ径が10μm程度、バンプピッチが200μm、バンプ数が4000程度のペアチップを基板にフリップチップ接合し、封止剤層を形成した2枚の基板のうち1枚を本実施例の構成のように、ペアチップの周りに溝を形成した。

【0029】尚、封止剤は、線膨張率を下げ、粘度の調整のためにエポキシ樹脂にフィラーを混入した次の様な特性のものを用いた。

- (1) 線膨張係数：約2.0～4.0×10⁻⁶ [in/in/°C]
- (2) ガラス転移温度：約100～150 [°C]
- (3) 粘度：約30000～50000 [cps]

2枚の基板の半田接合部の寿命を比較すると、溝を形成した方は、溝を形成しないものに比べて約2倍の寿命があった。

【0030】次に、本発明の第2の実施例を説明する図である図4を用いて本発明の第2の実施例を説明する。図において、先ず、第1の実施例と同様な方法で半導体素子22が実装された基板21上に半導体素子22を覆うように封止剤層23を形成する(ステップ1)。

【0031】次に、封止剤層23に真空脱泡を行い、半導体素子23と基板21との間に封止剤が充填されるようにする。次に、半導体素子22が下になる状態で保持する(ステップ2)。

【0032】すると、大多数の封止剤は落下し、半導体素子22の基板21との対向面にのみ封止剤が残り、残った封止剤は硬化する(ステップ3)。上記方法により形成された半導体素子封止構造によれば、半導体素子22と基板21との間に隙間が形成され、基板21と封止剤23との熱膨張率の違いにより発生する半導体素子23と基板21との接合部に作用するせん断力はなくなり、接合部の寿命を延ばすことができる。

【0033】次に、本発明の第3の実施例を示す第5図

を用いて本発明の第3の実施例を説明する。図において、先ず、第1の実施例と同様な方法で半導体素子32を基板31上に実装する。基板31の周縁及び半導体素子32上に、トリクロロエタン、キシレン等の特定溶液に可溶性を有するフラックスやイエローワックス等の樹脂材料33を用いてメタルマスク34を設ける。そして、マスクしていない部分に封止剤35を塗布する(ステップ1)。

【0034】次に、真空脱泡を行い、半導体素子32と基板31との間にも封止剤35が充填されるようにし(ステップ2)、更に、非マスク部の余剰の封止剤35を除去する(ステップ3)。

【0035】そして、封止剤35を硬化させ、樹脂材料33を特定溶液で溶かし、メタルマスク34を取り外す(ステップ4)。上記方法により形成された半導体素子封止構造によれば、非マスク部の封止剤35を除去し、各半導体素子の周りの封止剤35の層の厚さを薄くしたことにより、薄くした部分は厚みが厚い他の部分に比べて伸びやすくなっている。封止剤層は温度上昇した場合、基板方向に引張力を受けるが、封止剤層が一様な厚さの場合と比較して、薄くした部分が多く伸び、半導体素子32と基板31との接合部分の伸び量は、封止剤層が一様な厚さの場合に比べて少ない。よって、半導体素子32と基板31との接合部に作用するせん断力が減少し、接合部の寿命を延ばすことができる。

【0036】

【発明の効果】以上述べたように本発明によれば、半導体素子の周りの封止剤の厚さを薄く、又は半導体素子と基板部の間に隙間を形成するようにしたことにより、基板と半導体素子との接合部の寿命を延ばすことができる半導体素子封止構造を実現できる。

【0037】又、半導体素子周りの封止層に溝を形成する工程、又は、半導体素子が下になる状態で封止層を硬化させる工程、又は、基板上に実装された素子にマスクをし、マスクをしていない部分に封止剤を用いて封止剤層を形成する工程、真空脱泡してマスクをしていない部分の余剰封止剤を除去する工程、封止剤を硬化させる工程、前記マスクを除去することにより基板と半導体素子との接合部の寿命を延ばすことができる半導体素子封止方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体封止構造の原理図である。

【図2】本発明の第1の実施例を説明する断面構成図である。

【図3】図2における平面構成図である。

【図4】本発明の第2の実施例を説明する図である。

【図5】本発明の第3の実施例を説明する図である。

【図6】従来例の問題点を説明する図である。

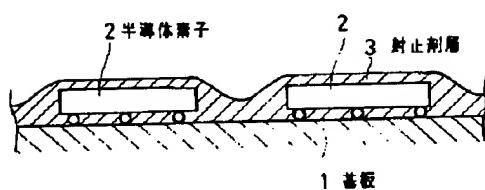
【符号の説明】

1 基板

2 半導体素子

【図1】

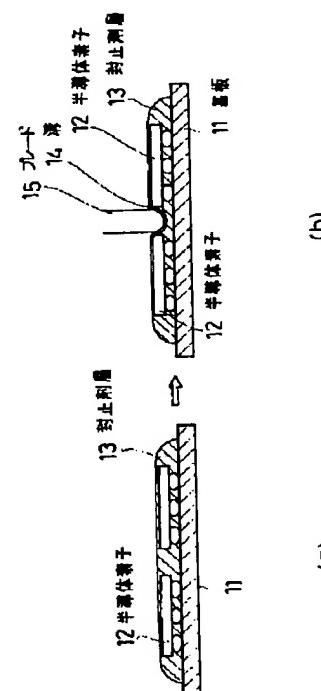
本発明の半導体封止構造の原理図



3 封止剤層

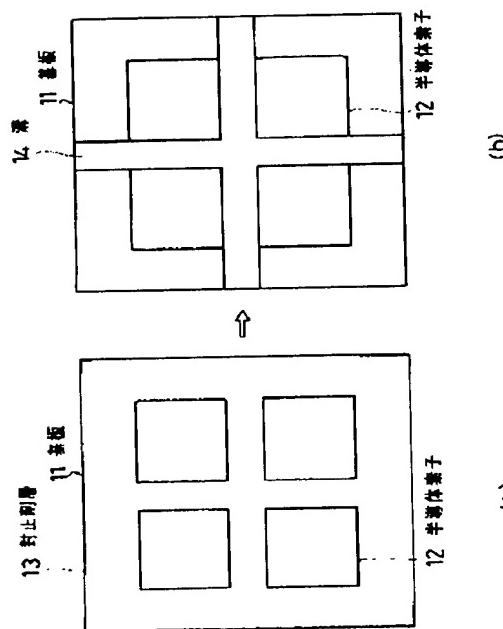
【図2】

本発明の第1の実施例を説明する断面構成図



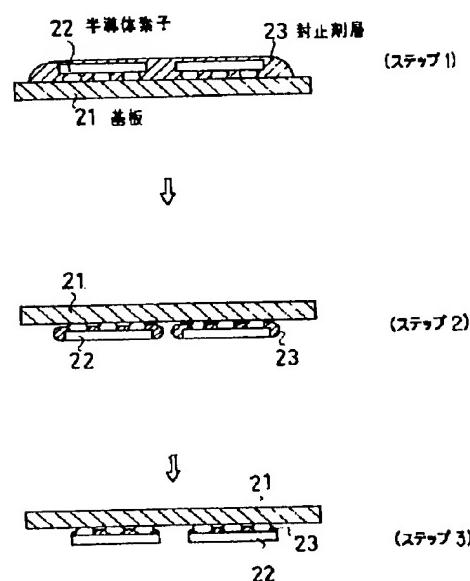
【図3】

図2における平面構成図



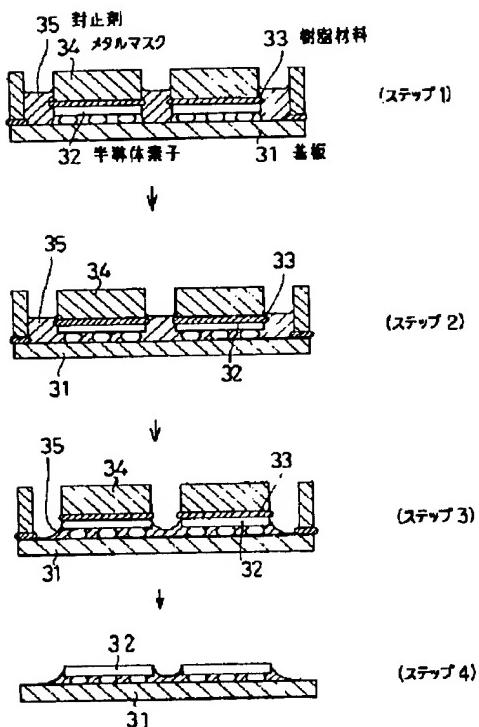
【図4】

本発明の第2の実施例を説明する図



【図5】

本発明の第3の実施例を説明する図



【図6】

従来例の問題点を説明する図

